

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-123471

(43)Date of publication of application : 25.04.2003

(51)Int.Cl. G11C 11/407
G11C 11/401
G11C 11/409

(21)Application number : 2001-319672 (71)Applicant : TOSHIBA CORP

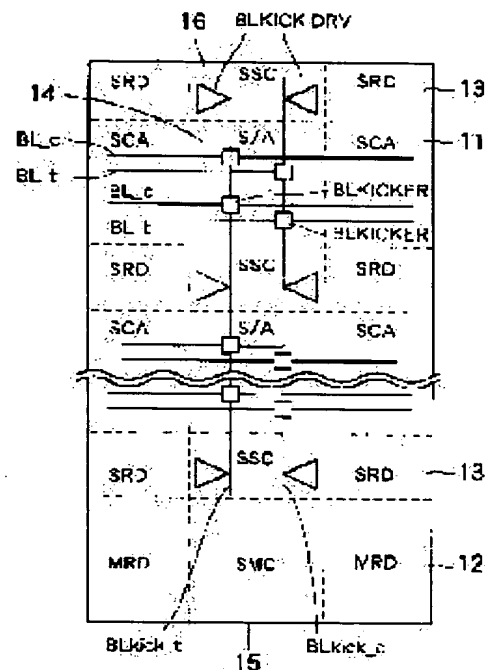
(22)Date of filing : 17.10.2001 (72)Inventor : INABA TSUNEO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To realize the distributed arrangement of bit line kicker drivers of a DRAM adopting hierarchical word drive line constitution on a memory core section without adding control lines to the memory core section and to operate a bit line kicker drive line at high speed.

SOLUTION: This device is provided with a plurality of cell arrays 11, a sense amplifier S/A connected to each pair of bit lines BL-t, BL-c of the cell array, a pair of bit line kicker drive lines BLkick-c, BLkick-t arranged in the vicinity of each cell array, a pair of bit line kickers BLKICKER connected between the pair of bit line kicker drive lines and each pair of bit lines of the cell array, and a bit line kicker driver BLKICK DRV which is arranged distributedly corresponding to each cell array in a memory core section, to which a plurality of control signals are inputted, and which drives the bit line kicker drive lines so that only the potential of a reference side bit line out of pairs of bit lines is lowered with prescribed timing.



LEGAL STATUS

[Date of request for examination] 11.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2003-123471

(P2003-123471A)

(43)公開日 平成15年4月25日(2003.4.25)

(51) Int.Cl.⁷

識別記号

FI

テーマート* (参考)

G 1 1 C 11/407
11/401
11/409

G 1 1 C 11/34

3 5 4 D 5 M 0 2 4
3 6 2 H
3 5 3 F
3 5 4 E
3 5 4 F

審査請求 有 請求項の数34 O.L (全 17 頁)

(21)出願番号

特願2001-319672(P2001-319672)

(22) 出願日

平成13年10月17日(2001. 10. 17)

(71)出題人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 稲場 恒夫

神奈川縣横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

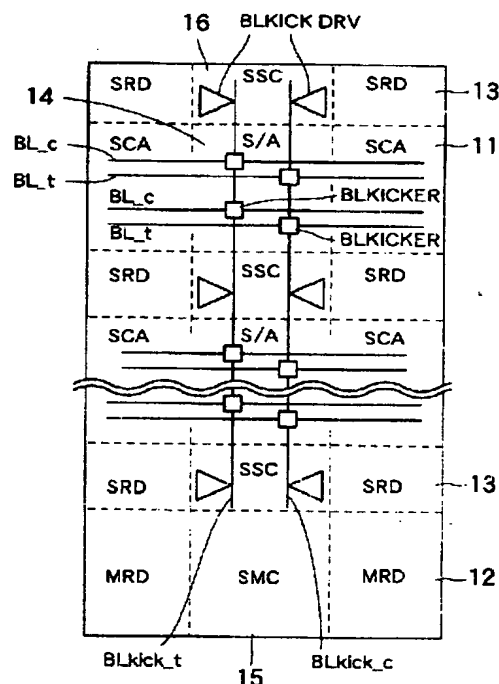
Fターム(参考) 5M024 AA37 AA47 AA49 BB09 BB10
BB12 BB13 BB15 BB35 BB36
CC38 CC39 CC40 CC65 CC90
CC96 JJ30 LL07 PP01 PP02
PP03 PP07 PP10

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】階層ワードドライブ線構成を採用したDRAMにおけるビット線キッカードライバを、メモリコア部への制御線の追加を行うことなく、メモリコア部に分散配置することを可能とし、ビット線キッカー駆動線を高速に動作させる。

【解決手段】複数のセルアレイ11と、セルアレイの各ビット線対BL_t、BL_cに接続されたセンスアンプS/Aと、各セルアレイ毎に近傍に配置された一対のビット線キッカー駆動線BL_{kick_c}、BL_{kick_t}と、一対のビット線キッカー駆動線とセルアレイの各ビット線対との間に接続された一対のビット線キッカーBLKICKERと、メモリコア部の内部で各セルアレイに対応して分散配置され、複数の制御信号が入力し、所定のタイミングでビット線対のうちリファレンス側ビット線の電位のみを低下させるようにビット線キッカー駆動線を駆動するビット線キッカードライバBLKICK_DRVとを具備する。



【特許請求の範囲】

【請求項1】 それぞれ複数のメモリセルおよび前記メモリセルを選択するための複数のワード線と複数のビット線が配置された複数のセルアレイと、
前記複数のビット線対にそれぞれ対応して接続され、相補的なビット線対毎に対応して接続される複数のセンスアンプと、
前記各セルアレイに対応して近傍に配置された一对のビット線キッカー駆動線と、
前記一对のビット線キッカー駆動線と前記セルアレイの各ビット線対との間にそれぞれ対応して接続された複数対のビット線キッカーと、
前記複数のセルアレイおよび複数のセンスアンプを含むメモリコア部の内部で前記各セルアレイに対応して分散配置されて前記一对のビット線キッカー駆動線に接続され、前記複数のセルアレイのうちアクセスされるメモリセルが含まれるセルアレイを選択する信号が入力され、選択されるセルアレイに含まれる前記ビット線対のうちの一方のビット線の電位を変化させるように前記ビット線キッカー駆動線を駆動するビット線キッカードライバとを具備することを特徴とする半導体記憶装置。

【請求項2】 前記ビット線キッカードライバは、アクセスされたメモリセルから前記ビット線対のうちの一方のビット線に読み出された“H”データまたは“L”データの読み出し信号量のどちらか一方を増加させることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記ビット線キッカードライバは、前記ビット線対のうち、アクセスされたメモリセルが接続されている側のビット線の電位を持ち上げることを特徴とする請求項1記載の半導体記憶装置。

【請求項4】 前記ビット線キッカードライバは、前記ビット線対のうち、アクセスされるメモリセルが接続されていないリファレンス側のビット線の電位を低下させることを特徴とする請求項1記載の半導体記憶装置。

【請求項5】 それぞれ複数のワード線と複数のビット線が交差して配置され、前記ワード線と前記ビット線により選択されるメモリセルが複数配置された複数のサブアレイと、
前記複数のサブアレイのうちの同一列の複数のサブアレイに対して共通に配置された主ワードドライブ線駆動回路と、
前記各サブアレイに対応して設けられ、前記主ワードドライブ線駆動回路から主ワードドライブ線を介して信号が供給される従ワードドライブ線駆動回路と、
前記各サブアレイに対応して前記ワード線の方向端に配置されたロウデコード群と、
前記各サブアレイに対応して前記ビット線の方向の一端側に配置され、相補的なビット線対毎に対応して接続されるセンスアンプ群と、
前記各サブアレイ毎に前記センスアンプ群の近傍に配置

された一对のビット線キッカー駆動線と、
前記各サブアレイ毎に前記一对のビット線キッカー駆動線と前記各ビット線対との間にそれぞれ対応して接続された複数対のビット線キッカーと、
前記各サブアレイに対応して前記ロウデコード群の配置領域の延長方向と前記センスアンプ群の配置領域の延長方向とが交差するサブ交差領域に配置され、前記複数のサブアレイのうちアクセスされるメモリセルが含まれるサブアレイを選択する信号が入力され、選択されるサブアレイに含まれる前記ビット線対のうちの一方のビット線の電位を変化させるように前記ビット線キッカー駆動線を駆動するビット線キッカードライバとを具備することを特徴とする半導体記憶装置。

【請求項6】 前記ビット線キッカードライバは、活性化される前記センスアンプ群の位置情報を含む第1の制御信号が与えられる第1の制御入力線およびアクセスされる前記メモリセルが前記ビット線対のどちらのビット線に接続されているかの情報を含む第2の制御信号が与えられる第2の制御入力線が、それぞれ少なくとも一本以上接続されていることを特徴とする請求項5記載の半導体記憶装置。

【請求項7】 前記ビット線キッカードライバは、アクセスされたメモリセルから前記ビット線対のうちの一方のビット線に読み出された“H”データまたは“L”データの読み出し信号量のどちらか一方を増加させることを特徴とする請求項6記載の半導体記憶装置。

【請求項8】 前記ビット線キッカードライバは、前記ビット線対のうち、アクセスされたメモリセルが接続されている側のビット線の電位を持ち上げることを特徴とする請求項6記載の半導体記憶装置。

【請求項9】 前記ビット線キッカードライバは、前記ビット線対のうち、アクセスされるメモリセルが接続されていないリファレンス側のビット線の電位を低下させることを特徴とする請求項6記載の半導体記憶装置。

【請求項10】 前記第1の制御信号は、同一行の複数のサブアレイを選択指定するブロック選択信号であることを特徴とする請求項6記載の半導体記憶装置。

【請求項11】 前記第2の制御信号は、前記サブアレイのワード線を選択指定するワード線選択信号であることを特徴とする請求項10記載の半導体記憶装置。

【請求項12】 前記第1の制御信号は、前記従ワードドライブ線駆動回路をプリチャージ状態にする為のリセット信号であることを特徴とする請求項6記載の半導体記憶装置。

【請求項13】 前記第1の制御信号は、前記ビット線対の電位をイコライズするためのビット線イコライザ回路および／または前記ビット線対に挿入されているビット線トランスファゲートを制御するための制御回路への入力信号であることを特徴とする請求項6記載の半導体記憶装置。

【請求項14】 前記第2の制御信号は、前記主ワードドライブ線駆動回路から主ワードドライブ線を介して供給される信号であることを特徴とする請求項6記載の半導体記憶装置。

【請求項15】 前記第2の制御信号は、前記従ワードドライブ線駆動回路によって駆動される従ワードドライブ線の信号が用いられることを特徴とする請求項6記載の半導体記憶装置。

【請求項16】 前記ビット線対は第1のビット線と第2のビット線から構成され、前記各対のビット線キッカー駆動線は第1のビット線キッカー駆動線と第2のビット線キッカー駆動線から構成され、前記各対のビット線キッカーは第1のビット線キッカーと第2のビット線キッカーから構成され、前記ビット線キッカードライバは第1のビット線キッカードライバと第2のビット線キッカードライバから構成され、

前記第1のビット線キッカーは、前記第1のビット線と前記第1のビット線キッカー駆動線との間に接続され、前記第2のビット線キッカーは、前記第2のビット線と前記第2のビット線キッカー駆動線との間に接続され、前記第1のビット線キッカー駆動線は前記第1のビット線キッカードライバに接続され、第2のビット線キッカー駆動線は前記第2のビット線キッカードライバに接続され、

前記第1のビット線に接続されている前記メモリセルがアクセスされた場合には前記第2のビット線キッカードライバにより前記第2のビット線キッカーが駆動され、前記第2のビット線に接続されている前記メモリセルがアクセスされた場合には前記第1のビット線キッカードライバにより前記第1のビット線キッカーが駆動されることを特徴とする請求項5記載の半導体記憶装置。

【請求項17】 前記第1のビット線キッカードライバと前記第2のビット線キッカードライバは、一回のワード線選択に対してどちらか一方が活性化されることを特徴とする請求項16記載の半導体記憶装置。

【請求項18】 前記複数のサブ交差領域は、前記第1の制御入力線に沿って第1のサブ交差領域と第2のサブ交差領域が交互に配置され、

第1のビット線キッカードライバは前記第1のサブ交差領域に配置され、

第2のビット線キッカードライバは前記第2のサブ交差領域に配置され、

前記第1の制御入力線の一回の活性化に対して前記第1のビット線キッカードライバ群または前記第2のビット線キッカードライバ群のどちらか一方のみが選択されることを特徴とする請求項17記載の半導体記憶装置。

【請求項19】 前記第1のビット線キッカー駆動線および前記第2のビット線キッカー駆動線には、前記ビット線キッカーが非選択の場合および前記ビット線キッカーが非動作の場合に前記第1のビット線キッカー駆動線

および第2のビット線キッカー駆動線をリセット電位に固定するクランプ回路が設けられていることを特徴とする請求項16乃至18のいずれか1つに記載の半導体記憶装置。

【請求項20】 前記クランプ回路は、対を成す前記ビット線キッカーの一方が動作する場合には、前記対を成すビット線キッカーの他方をリセット電位に固定することを特徴とする請求項19記載の半導体記憶装置。

【請求項21】 前記クランプ回路は、前記第1のビット線キッカー駆動線および第2のビット線キッカー駆動線の電位をプルアップするプルアップ回路であることを特徴とする請求項20記載の半導体記憶装置。

【請求項22】 前記プルアップ回路は、2個のPMOSトランジスタのゲート・ドレインが交差接続されたクロスカップル型回路であることを特徴とする請求項21項記載の半導体記憶装置。

【請求項23】 前記プルアップ回路は、複数の前記第2の制御入力線が接続され、制御信号として前記主ワードドライブ線の信号が供給されることを特徴とする請求項22記載の半導体記憶装置。

【請求項24】 前記プルアップ回路の1つに対して、複数の前記第1のビット線キッカードライバが前記第1のビット線キッカー駆動線を介して接続されるとともに複数の前記第2のビット線キッカードライバが前記第2のビット線キッカー駆動線を介して接続されていることを特徴とする請求項21記載の半導体記憶装置。

【請求項25】 前記クランプ回路は、前記第1のビット線キッカー駆動線および第2のビット線キッカー駆動線の電位をプルダウンするプルダウン回路であることを特徴とする請求項20記載の半導体記憶装置。

【請求項26】 前記プルダウン回路は、2個のNMOSトランジスタのゲート・ドレインが交差接続されたクロスカップル型回路であることを特徴とする請求項25項記載の半導体記憶装置。

【請求項27】 前記プルダウン回路は、複数の前記第2の制御入力線が接続され、制御信号として前記従ワードドライブ線の信号が供給されることを特徴とする請求項26記載の半導体記憶装置。

【請求項28】 前記プルダウン回路の1つに対して、複数の前記第1のビット線キッカードライバが前記第1のビット線キッカー駆動線を介して接続されるとともに複数の前記第2のビット線キッカードライバが前記第2のビット線キッカー駆動線を介して接続されていることを特徴とする請求項25記載の半導体記憶装置。

【請求項29】 前記ビット線キッカーは容量素子で形成されていることを特徴とする請求項1乃至28のいずれか1つに記載の半導体記憶装置。

【請求項30】 前記容量素子は、MOS キャパシタであることを特徴とする請求項29記載の半導体記憶装置。

【請求項31】 前記ビット線キッカー駆動線の“H”レ

ベル電位/"L" レベル電位は、対応して昇圧電位 V_{pp} / 負電位 V_{nn} であることを特徴とする請求項1乃至30のいずれか1つに記載の半導体記憶装置。

【請求項32】 前記ビット線キッカー駆動線の"H" レベル電位/"L" レベル電位は、対応して昇圧電位 V_{pp} / 接地電位 V_{ss} であることを特徴とする請求項1乃至30のいずれか1つに記載の半導体記憶装置。

【請求項33】 前記ビット線キッカー駆動線の"H" レベル電位/"L" レベル電位は、対応して内部電源電位 V_i / 接地電位 V_{ss} であることを特徴とする請求項1乃至30のいずれか1つに記載の半導体記憶装置。

【請求項34】 前記ビット線キッカー駆動線の"H" レベル電位/"L" レベル電位は、対応して内部電源電位 V_i / 負電位 V_{nn} であることを特徴とする請求項1乃至30のいずれか1つに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係り、特にメモリセルからの"H" データの読み出しマージンを向上させるためのビット線キッカーの制御回路に関するもので、DRAM（ダイナミック型半導体メモリ）などに使用されるものである。

【0002】

【従来の技術】DRAMの微細化と低電源電圧化が進むにつれ、メモリセルキャパシタの容量の確保が困難となってきた。メモリセルキャパシタに必要とされる容量は、センスアンプ感度の下限の読み出し信号量に相当する容量に加えて、ビット線の加工ばらつきなどによるビット線容量のばらつき、セルアレイ部の各種ノイズ、セルトランジスタ内のPN接合における電荷リーク、セルトランジスタの閾値ばらつきによるデータ書き込み不足、ソフトエラー耐性など多くの要因を考慮したマージン分の容量が必要とされる。

【0003】ここで、メモリセル内のPN接合における電荷リークは、空乏層中の発生再結合電流に起因するので、メモリセルの"L" データ保持時よりも"H" データ保持時のほうがリーク電流が大きい。また、メモリセルトランジスタの閾値電圧ばらつきによる"H" データ書き込み不足は、一般的にDRAMのメモリセルトランジスタはNMOSで作成されるので、"H" データのみについて問題となるなど、"H" データのほうが"L" データよりも読み出し信号量を減少させる要因が多い。

【0004】そのため、"H" データの場合にのみ選択的に読み出し信号量を増大させる方法が必要とされており、その一例として、ビット線のイコライズ動作解除後からセンスアンプ動作開始前までの間に、ビット線対のうちリファレンス側ビット線の電位のみを低下させることで"H" データの読み出しマージンを向上させる、いわゆるビット線キッカー技術が知られている。

【0005】以下、ビット線キッカー技術として、ビッ

ト線キッカーと呼ばれるキャパシタを利用した技術、主としてビット線キッカーの動作原理について説明する。

【0006】図19(a)は、ビット線キッカーを含むメモリアレイ部の1カラム分を取り出して模式的に示している。

【0007】メモリアレイ部のセルアレイでは、複数のビット線（代表的に1組の相補的なビット線対 BL_t 、 BL_c のみ示す）と複数のワード線 $WL<0>$ 、 $\sim WL<n>$ とが交差して配置され、この交差部にメモリセルMCが配置されている。

【0008】ビット線対 BL_t 、 BL_c は、センスアンプ（ビット線センスアンプ）S/A が接続されており、ビット線キッカー駆動線 BL_{kick_t} および BL_{kick_c} とビット線対 BL_t 、 BL_c との間にはそれぞれMOS キャパシタなどの容量素子で構成されたビット線キッカーBLKICKERが接続されている。

【0009】なお、図19(a)において、一般的なDRAMの構成と同様に、センスアンプ領域内においてビット線キッカーBLKICKERが接続されているビット線対 BL_t 、 BL_c のノードとメモリセルMC配置領域との間でビット線対 BL_c 、 BL_t にビット線トランスファゲートTGが挿入されており、ビット線対 BL_t 、 BL_c にビット線電位イコライズ回路EQLが接続されている。

【0010】上記ビット線キッカー駆動線 BL_{kick_t} および BL_{kick_c} は、それぞれビット線キックードライバ（駆動回路）BLKICK DRVにより駆動されるものであり、上記1カラム分のビット線対 BL_t および BL_c だけでなく、他のカラムのビット線対（図示せず）とも容量結合をするので、その配線容量は他の信号線と比べて非常に大きい。

【0011】図19(b)は、図19(a)に示したビット線キッカーの動作波形の一例を示している。

【0012】図19(b)中、 V_{sig} はメモリセルMCからビット線 BL_t への読み出し信号量を、 dV_{sig} はビット線キッカーBLKICKERの動作によるリファレンス側ビット線 BL_c の電位変化量を表わす。

【0013】ここで、ビット線キッカーBLKICKERの動作は次のように行われる。まず、ビット線電位がプリチャージ電位（例えば電源電位の1/2）にプリチャージ・イコライズされ、このプリチャージ・イコライズ動作が解除された後、ビット線対(BL_t , BL_c)のうち、選択しようとするメモリセルMCが接続されていない側（リファレンス側）のビット線 BL_c に接続されているビット線キッカーBLKICKERが選択される。この場合、ビット線キックードライバBLKICK DRVの出力（本例では負論理）によってビット線キッカー駆動線 BL_{kick_t} が活性化されてビット線 BL_c の電位が dV_{sig} だけ低下する。その後、メモリセルMCに接続されているワード線 $WL<0>$ 、 $WL<3>$ 、 $\sim WL<n>$ のいずれかが選択されてメモリセルMCからビット線 BL_t に情報が読み出される。

【0014】ここで、ビット線キッカー駆動線BLkick_tとビット線BL_cはビット線キッカーBLKICKERによって容量結合しており、ビット線BL_cの電位変化量dVsigの値は、原理的には、ビット線BL_cの容量とビット線キッカーBLKICKERの容量比と、ビット線キッカー駆動線BLkick_tの電位振幅との積に等しくなる。これにより、“H”データの読み出し信号量は、Vsig+dVsigとなり、ビット線キッカーBLKICKERを使用しない場合と比較して増加する。

【0015】上記ビット線対BL_t、BL_cに接続されているビット線キッカーBLKICKER対は、センスアンプS/A毎に配置され、ビット線キッカードライバBLKICK DRVからビット線キッカー駆動線BLkick_tまたはBLkick_cによって駆動される。このビット線キッカー駆動線BLkick_t、BLkick_cは、ビット線BL_t、BL_cとの間にビット線キッカー（キャパシタ）が接続されており、非常に大きな容量を持つ。

【0016】このようなビット線キッカー駆動線BLkick_t、BLkick_cをビット線キッカードライバBLKICK DRVにより高速に動作させるには、ビット線キッカードライバBLKICK DRVを分散配置することが望ましい。

【0017】しかし、従来のビット線キッカードライバBLKICK DRVは、多くの制御入力が必要としており、レイアウト面積に余裕の少ないメモリコア部への分散配置は困難であり、コア外周部にしか配置できなかった。この点を以下に詳述する。

【0018】図20は、図19(a)中に示したビット線キッカードライバBLKICK DRVと制御入力との接続の従来例を示す回路図である。

【0019】ビット線キッカー駆動線BLkick_tおよびBLkick_cを駆動するための一対のビット線キッカードライバBLKICK DRVは、メモリセルアレイの各センスアンプS/A毎に設けられている。

【0020】デコード回路DECは、各センスアンプS/A毎に設けられており、活性化するセンスアンプS/Aの位置の情報であるアドレス信号Addr_A<0>;, Addr_A<1>;, ..., Addr_A<n>;およびAddr_B<0>;, Addr_B<1>;, ..., Addr_B<n>;をデコードする。このデコード回路DECのデコード出力は、活性化するセンスアンプS/Aの位置に対応する所望の一対のビット線キッカードライバBLKICK DRVを選択するための制御入力となる。

【0021】Setは各ビット線キッカードライバBLKICK DRVの活性化タイミングを指定するための制御入力であり、Resetは各ビット線キッカードライバBLKICK DRVの非活性化タイミングを指定するための制御入力である。

【0022】Set_tとSet_cは、ビット線対BL_t、BL_cのうちのどちらのビット線に接続されているビット線キッカーを駆動するかを選択するために、一対のビット線キッカードライバBLKICK DRVのうちのどちらかを選択するための制御入力である。

【0023】上記した従来のビット線キッカードライバBLKICK DRVは、制御入力としてアドレス信号をデコードした信号、タイミング信号SetおよびReset、所望の一方のビット線キッカードライバを選択指定する信号Set_tおよびSet_cを入力するので、多くの制御信号線が必要となる。このため、メモリコア部に分散配置することが困難であり、コア外周部にしか配置することができなかった。

【0024】

【発明が解決しようとする課題】上記したように従来の半導体記憶装置のビット線キッカードライバは、レイアウト面積に余裕の少ないメモリコア部への分散配置は困難であり、コア外周部にしか配置できず、ビット線キッカー駆動線を高速に動作させることが困難であるという問題があった。

【0025】本発明は上記の問題点を解決すべくなされたもので、他の回路で使用している既存の制御信号線を利用することが可能なビット線キッカー制御回路を用いることにより、メモリコア部への制御線の追加を行うことなく、ビット線キッカードライバをメモリコア部に分散配置することを可能とし、ビット線キッカー駆動線を高速に動作させることが可能になる半導体記憶装置を提供することを目的とする。

【0026】

【課題を解決するための手段】本発明の第1の半導体記憶装置は、それぞれ複数のメモリセルおよび前記メモリセルを選択するための複数のワード線と複数のビット線が配置された複数のセルアレイと、前記複数のビット線対にそれぞれ対応して接続され、相補的なビット線対毎に対応して接続される複数のセンスアンプと、前記各セルアレイに対応して近傍に配置された一対のビット線キッカー駆動線と、前記一対のビット線キッカー駆動線と前記セルアレイの各ビット線対との間にそれぞれ対応して接続された複数のビット線キッカーと、前記複数のセルアレイおよび複数のセンスアンプを含むメモリコア部の内部で前記各セルアレイに対応して分散配置されて前記一対のビット線キッカー駆動線に接続され、前記複数のセルアレイのうちアクセスされるメモリセルが含まれるセルアレイを選択する信号が入力され、選択されるセルアレイに含まれる前記ビット線対のうちの一方のビット線の電位を変化させるように前記ビット線キッカー駆動線を駆動するビット線キッカードライバとを具備することを特徴とする。

【0027】本発明の第2の半導体記憶装置は、それぞれ複数のワード線と複数のビット線が交差して配置され、前記ワード線と前記ビット線により選択されるメモリセルが複数配置された複数のサブアレイと、前記複数のサブアレイのうちの同一列の複数のサブアレイに対して共通に配置された主ワードドライブ線駆動回路と、前記各サブアレイに対応して設けられ、前記主ワードドラ

イブ線駆動回路から主ワードドライブ線を介して信号が供給される従ワードドライブ線駆動回路と、前記各サブアレイに対応して前記ワード線の方向端に配置されたロウデコーダ群と、前記各サブアレイに対応して前記ビット線の方向の一端側に配置され、相補的なビット線対毎に対応して接続されるセンスアンプ群と、前記各サブアレイ毎に前記センスアンプ群の近傍に配置された一対のビット線キッカー駆動線と、前記各サブアレイ毎に前記一対のビット線キッカー駆動線と前記各ビット線対との間にそれぞれ対応して接続された複数対のビット線キッカーと、前記各サブアレイに対応して前記ロウデコーダ群の配置領域の延長方向と前記センスアンプ群の配置領域の延長方向とが交差するサブ交差領域に配置され、前記複数のサブアレイのうちアクセスされるメモリセルが含まれるサブアレイを選択する信号が入力され、選択されるサブアレイに含まれる前記ビット線対のうちの一方のビット線の電位を変化させるように前記ビット線キッカー駆動線を駆動するビット線キッカードライバとを具備することを特徴とする。

【0028】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0029】＜第1の実施形態＞まず、階層ワードドライブ線構成を採用したDRAMにおけるビット線キッカードライバBLKICK DRVの配置について説明する。

【0030】図1(a)は、本発明の第1の実施形態に係る階層ワードドライブ線構成(本例では二重ワード線選択方式)を採用したDRAMの一例について一部を示すブロック図である。

【0031】図1(a)中、メモリセルアレイは、サブアレイ(SCA)11を単位ブロックとして行列状に複数に分割されており、各サブアレイ11は、複数のワード線(図示せず)と複数のビット線(図示せず)が交差して配置され、前記ワード線と前記ビット線により選択されるメモリセル(図示せず)が多数配置されている。

【0032】サブアレイ配列における同一列のサブアレイのワード線方向の一端側には主ワードドライブ線駆動回路であるメインロウデコーダ(MRD)12群が配置されており、各サブアレイ11のワード線方向端にはワード線選択駆動用のサブロウデコーダ(SRD)13群が配置されている。また、各サブアレイ11のビット線方向の一端側にはそれぞれ相補的なビット線対に接続されたセンスアンプ(S/A)14群が配置されている。なお、このS/A14群は、サブアレイ配列内の列方向に隣り合う2つのサブアレイ11で共用されるシェアード方式を採用することが可能である。

【0033】15は、S/A14群の配列の延長方向とMRD12群の配置領域の延長方向とが交差するメイン交差領域(MC)である。

【0034】16は、各サブアレイ11の近傍で、SRD13群

の配置領域の延長方向とS/A14群の配置領域の延長方向とが交差するサブ交差領域(SSC)である。

【0035】メモリアレイ内部には、前記SCA11、SRD13群の配置領域、S/A14群の配置領域、SSC16が二次元的に配置されている。コア内部の図中左側と図中下側に位置するメモリアレイ外縁部には、前記S/A14群の外側の領域20a、前記SSC16の外側の領域(SAC)20b、前記MRD12群の配置領域、SCM15、前記SAC20bと前記SCM15に隣接する領域20cが一次的に配置されている。前記領域20aにはカラム選択ドライバやセカンダリセンスアンプなどが配置される。

【0036】図1(b)は、図1(a)中の一部を取り出して示している。

【0037】主ワードドライブ線駆動回路MWDV DRVは、前記SAC20bに配置され、従ワードドライブ線駆動回路17は各サブアレイ11に対応して前記SSC16に配置されている。サブアレイ配列における同一列のサブアレイの複数の従ワードドライブ線駆動回路17は同一列の主ワードドライブ線駆動回路MWDV DRVから主ワードドライブ線18を介して供給される主ワードドライブ線信号が入力する。

【0038】この従ワードドライブ線駆動回路17は、主ワードドライブ線信号を含むアドレス信号をデコードしてワードドライブ電圧を出力し、従ワードドライブ線19(第1のワードドライブ線wdrv_pおよびこれと相補的な第2のワードドライブ線wdrv_n)を介して対応するサブアレイ11のサブロウデコーダSRD群(SRD#0, SRD#1, ..., SRD#n)に供給する。

【0039】SRD#0, SRD#1, ..., SRD#nは、サブアレイ毎に複数のワード線SWL<0>, SWL<1>, ..., SWL<n>に対応して設けられており、従ワードドライブ線駆動回路17から第1のワードドライブ線wdrv_pを介してワードドライブ電圧が供給されるとともに第2のワードドライブ線wdrv_nを介してワードドライブ制御信号が供給され、従ワードドライブ線駆動回路17に入力するアドレス信号とは別のロウアドレス入力をデコードして対応するサブワード線SWL<0>, SWL<1>, ..., SWL<n>を選択的に駆動するものである。これらのSWL<0>, SWL<1>, ..., SWL<n>には、それぞれメモリセル群(図示せず)が接続されている。

【0040】図1(c)は、図1(b)中のSRD#0, SRD#1, ..., SRD#nのうちの1個分のSRDを取り出して一例を示す回路図である。

【0041】このSRDは、wdrv_pにソースが接続され、ドレインがサブワード線SW(SWL<0>, SWL<1>, ..., SWL<n>のいずれか)に接続され、ゲートにワード線選択信号MWLが入力するワード線駆動用のPMOSトランジスタ21と、ドレインが前記サブワード線SWに接続され、ソースが例えば負電位(Vnn)のノードに接続され、ゲートにワード線選択信号MWLが入力するワード線電位プルダウン用のNMOSトランジスタ22と、このNMOSトランジスタ22に

並列に接続され、ゲートにwdrv_nからワードドライブ線制御信号が入力するノイズキラー用のNMOSトランジスタ23を有する。

【0042】図2は、図1(a)のDRAMにおいてビット線キッカードライバがメモリコア部に分散配置されているパターンレイアウトの一例を示す図である。

【0043】図2に示すように、メモリコア部の各SSC16内に配置されている一対のビット線キッカードライバBLKICK DRVから一対のビット線キッカー駆動線BLkick_t、BLkick_cがセンスアンプS/A14群の配置領域の各センスアンプS/Aの近傍まで配設されている。

【0044】そして、例えば図19(a)を参照して前述した構成と同様に、各センスアンプS/Aに接続されているビット線対BL_t、BL_cと一対のビット線キッカー駆動線BLkick_c、BLkick_tとの間にそれぞれ例えばMOSキャパシタなどの容量素子からなるビット線キッカーBLKICKERが接続されている。

【0045】上記したようにビット線キッカーBLKICKERを具備するDRAMにおいては、既存の信号（例えば後述する主ワードドライブ線信号とワード線非活性化信号）によってビット線キッカードライバBLKICK DRVを制御する。つまり、ビット線キッカードライバBLKICK DRVの制御入力線を他の回路の制御入力線と共有させる。これにより、ビット線キッカードライバBLKICK DRVの制御入力線の本数を削減することができる。これにより、新規の制御信号線を配設することが不必要となり、既存の他の制御信号線の配線ピッチを小さく変更する必要がなく、他の制御信号線の信号伝播速度を犠牲にすることなく、ビット線キッカードライバBLKICK DRVをメモリコア内部に配置することが可能となる。

【0046】本発明のビット線キッカードライバは、相補対をなす前記ビット線対のうちの一方のビット線の電位のみを変化させるようにビット線キッカー駆動線を駆動することを特徴とするものである。

【0047】第1の実施形態では、相補対をなすビット線対のうち、アクセスされたメモリセルが接続されていないリファレンス側のビット線の電位のみを低下させる例について以下に説明する。

【0048】＜ビット線キッカードライバの第1の実施例＞図3は、図2中の各SSC16内に配置されている一対のビット線キッカードライバBLKICK DRVを取り出して示す回路図である。

【0049】図3に示す各ビット線キッカードライバBLKICK DRVは、内部電源電位V_{ii}（外部から入力される電源電圧をDRAM内部で降圧した電源電位）が与えられるV_{ii}ノードと接地電位V_{ss}が与えられるV_{ss}ノードとの間に、PMOSトランジスタP1と、並列接続された2個のNMOSトランジスタ(N0, N2)または(N1, N3)と、NMOSトランジスタN4が直列に接続されている。

【0050】一方のビット線キッカードライバのPMOSト

ランジスタP1のドレインには第1のビット線キッカー駆動線BLkick_cが接続されており、他方のビット線キッカードライバのPMOSトランジスタP1のドレインには第2のビット線キッカー駆動線BLkick_tが接続されている。

【0051】前記PMOSトランジスタP1およびNMOSトランジスタN4は、アクセスされたメモリセルが複数配置されているメモリセルアレイ（サブアレイ）のどれに含まれているかを指定する第1の制御信号に応じてオン/オフ状態が制御される。

【0052】この第1の制御信号は図1(b)中に示した従ワードドライブ線19をリセットするためのタイミング信号に含まれており、本例では、PMOSトランジスタP1およびNMOSトランジスタN4の各ゲートには、当該ビット線キッカードライバとの間でビット線キッカー対およびビット線対を介して接続されるセンスアンプS/A14群に対応するサブアレイの選択を指定する信号wloff_nが入力する。

【0053】そして、前記2個のNMOSトランジスタ(N0, N2)または(N1, N3)は、アクセスされたメモリセルがビット線対BL_t、BL_cのどちらのビット線に接続されているか（当該ビット線キッカードライバにビット線キッカー対を介して接続されるビット線対BL_t、BL_cのうちのどちらを選択するか）を指定する第2の制御信号に応じてオン/オフ状態が制御される。この第2の制御信号は図1(b)中に示した主ワードドライブ線18の信号に含まれている。

【0054】ここで、主ワードドライブ線の信号により選択制御される4本1組のワード線WL<0>、～WL<3>に着目した場合、第1番目のワード線WL<0>により選択されるメモリセルMCはビット線BL_tに接続され、第2番目のワード線WL<1>により選択されるメモリセルMCはビット線BL_cに接続され、第3番目のワード線WL<2>により選択されるメモリセルMCはビット線BL_cに接続され、第4番目のワード線WL<3>により選択されるメモリセルMCはビット線BL_tに接続されているものとする。

【0055】このような接続関係の場合には、上記第1番目のワード線WL<0>を選択指定する制御信号mwdrv_p<0>と第3番目のワード線WL<2>を選択指定する制御信号mwdrv_p<2>は、第1のビット線キッカー駆動線BLkick_cが接続されている一方のビット線キッカードライバの2個のNMOSトランジスタ(N0, N2)の各ゲートに対応して入力する。

【0056】そして、上記第2番目のワード線WL<1>を選択指定するmwdrv_p<1>と第4番目のワード線WL<3>を選択指定する制御信号mwdrv_p<3>は、第2のビット線キッカー駆動線BLkick_tが接続されている他方のビット線キッカードライバの2個のNMOSトランジスタ(N1, N3)の各ゲートに対応して入力する。

【0057】次に、図3の回路の動作について説明する。

【0058】一方のビット線キッカードライバBLKICK DRVに接続されている第1のビット線キッカー駆動線BLkick_cは、例えばビット線のイコライズ動作解除後からセンスアンプの動作開始前までの間で、mwdrv_p<0>;またはmwdrv_p<2>;とwloff_n が共に"H" になった時にセットされて"L" になり、wloff_n が"L" になった時にリセットされて"H" になる。

【0059】他方のビット線キッカードライバBLKICK DRVに接続されている第2のビット線キッカー駆動線BLkick_tは、mwdrv_p<1>;またはmwdrv_p<3>;とwloff_n が共に"H" になった時にセットされ、wloff_n が"L" になった時にリセットされる。

【0060】一方のビット線キッカードライバBLKICK DRVがセットされた時(mwdrv_p<0>;またはmwdrv_p<2>;が"H" の時)には、mwdrv_p<1>;またはmwdrv_p<3>;が"L" であるので、他方のビット線キッカードライバBLKICK DRVに接続されている第2のビット線キッカー駆動線BLkick_tはフローティング状態になる。

【0061】他方のビット線キッカードライバBLKICK DRVがセットされた時(mwdrv_p<1>;またはmwdrv_p<3>;が"H" の時)には、mwdrv_p<0>;またはmwdrv_p<2>;が"L" であるので、一方のビット線キッカードライバに接続されている第1のビット線キッカー駆動線BLkick_cはフローティング状態になる。

【0062】図3のビット線キッカードライバBLKICK DRVによれば、第1の制御信号wloff_n および第2の制御信号mwdrv_p<0>;~mwdrv_p<3>;を用いており、制御入力線を他の回路の制御入力線と共有することができる。そして、ビット線キッカードライバBLKICK DRVを分散配置でき、チップ面積を削減することが可能になる。

【0063】なお、図3のビット線キッカードライバBLKICK DRVのセットおよびリセットは、第1の制御信号または第2の制御信号のどちらを使用しても可能である。

【0064】<第1の実施例の変形例>第1の実施例に示した一对のビット線キッカードライバBLKICK DRVは、各NMOSトランジスタN4が互いに分離されているが、その変形例を以下に説明する。

【0065】図4は、図3に示した一对のビット線キッカードライバの変形例を示す回路図である。

【0066】図4に示す一对のビット線キッカードライバは、図3に示したビット線キッカードライバと比べて、NMOSトランジスタN4が共有されている点異なり、その他は同じであるので図3中と同一符号を付してその説明を省略する。

【0067】この変形例のビット線キッカードライバも、第1の実施形態と同様にメモリア部の各SSC16に配置されるものであり、図3のビット線キッカードライバと基本的に同様の動作により同様の効果が得られる。さらに、NMOSトランジスタN4を共有することにより、チップ面積を削減することが可能になる。

【0068】<ビット線キッカードライバの第2の実施例>前記第1の実施例に示した一对のビット線キッカードライバは、制御信号wloff_n を共有しているので、一方のビット線キッカードライバBLKICK DRVがセットされた場合には他方のビット線キッカードライバBLKICK DRVに接続されるビット線キッカー駆動線BLkick_cあるいはBLkick_tはフローティング状態になる。

【0069】上記ビット線キッカー駆動線BLkick_cおよびBLkick_tは、全てのカラムでビット線BL_tあるいはBL_cと容量結合されているので、ビット線BL_tあるいはBL_cの電位変動により影響を受けることになる。特に、センスアンプS/Aの活性化時にはビット線の電位変化が大きいので、その影響が大きい。

【0070】例えばビット線BL_cに接続された全てのメモリセルMCから"H" データが読み出された場合、ビット線キッカー駆動線BLkick_tには全てのカラムにおいて電位を上昇させるようなノイズが容量結合する。その場合、制御信号wloff_n が入力されているビット線キッカードライバBLKICK DRVのPMOSトランジスタP1のドレインの電位がウェルの電位よりも高くなり、PMOSトランジスタP1のPNジャンクションには順方向バイアスが印加されてしまう。

【0071】この点を解決するために、ビット線キッカー駆動線BLkick_cおよびBLkick_tにプルアップ回路を接続した第2の実施例を以下に説明する。

【0072】図5は、第2の実施例に係る一对のビット線キッカードライバに接続されている一对のビット線キッカー駆動線BLkick_cおよびBLkick_tに接続される一对のプルアップ回路の一例(クロスカップル型プルアップ回路)を示している。

【0073】図5に示す一对のプルアップ回路は、Vii ノードとビット線キッカー駆動線BLkick_cとの間にソース・ドレイン間が接続され、ゲートにビット線キッカー駆動線BLkick_tが接続されたPMOSトランジスタP41と、Vii ノードとビット線キッカー駆動線BLkick_tとの間にソース・ドレイン間が接続され、ゲートにビット線キッカー駆動線BLkick_cが接続されたPMOSトランジスタP42とからなる。つまり、Vii ノードと一对のビット線キッカー駆動線BLkick_c、BLkick_tとの間に接続された2個のプルアップ用のPMOSトランジスタP41、P42の各ゲート・ドレインが交差接続されている。

【0074】この一对のプルアップ回路は、各SSC16内に配置されている一对のビット線キッカードライバBLKICK DRVとは独立してメモリア部のメイン交差領域SMC15内に配置されている。そして、SMC15内に配置されている一对のプルアップ回路には、サブアレイ配列内で上記SMC15と同一列の複数のサブアレイ11における一对のビット線キッカー駆動線BLkick_c、BLkick_tがそれぞれ接続されている。

【0075】次に、図5のプルアップ回路の動作を説明

する。

【0076】一対のビット線キッカー駆動線BLkick_c, BLkick_tが“H”の時には、一対のプルアップ回路の各PMOSトランジスタP41, P42はそれぞれ非動作状態にある。一方のビット線キッカードライバにより一方のビット線キッカー駆動線BLkick_cがセットされて“L”になった場合には、このビット線キッカー駆動線BLkick_cにゲートが接続されているPMOSトランジスタP42が動作状態となり、非動作状態にある他方のビット線キッカードライバに接続されているビット線キッカー駆動線BLkick_tを内部電源電位Viiに固定する。これにより、このビット線キッカー駆動線BLkick_tに接続されているビット線キッカードライバのPMOSトランジスタP1におけるPN接合の順方向バイアス印加を防ぐことが可能となる。

【0077】また、上記一対のプルアップ回路は、一対のビット線キッカードライバとは独立してメモリア部の各SMC15内に配置されているので、各SSC16内に配置する回路数が少なくなるという利点を得られる。

【0078】＜ビット線キッカードライバの第3の実施例＞前述したように一対のビット線キッカー駆動線BLkick_c, BLkick_tは各カラムでビット線と容量結合しているので、その容量は大きい。そのために、第2の実施例のように一対のプルアップ回路を一対のビット線キッカードライバとは独立して配置した場合、ビット線キッカー駆動線BLkick_c, BLkick_tのプルアップ回路から遠い部分で結合したノイズをプルアップ回路が吸収するまでにかかる時間が長くなる。

【0079】この点を解決するために、一対のプルアップ回路を一対のビット線キッカードライバと同じSSC16内に配置（換言すれば、一対のプルアップ回路をビット線キッカードライバ内に配置）した第3の実施例を以下に説明する。

【0080】図6は、第3の実施例に係る一対のビット線キッカードライバおよび一対のプルアップ回路を取り出して示す回路図である。

【0081】図6において、ビット線キッカードライバ部は、図3を参照して前述した一対のビット線キッカードライバと同様であり、プルアップ回路部は、図5を参照して前述したプルアップ回路と同様であるので、図3中、図5中と同一符号を付してその説明を省略する。

【0082】第3の実施例によれば、プルアップ回路を各SSC16内に配置することにより、ビット線キッカー駆動線BLkick_c, BLkick_tに結合したノイズをプルアップ回路で短時間に吸収するようになる。したがって、ビット線キッカー駆動線BLkick_c, BLkick_tに接続されているビット線キッカードライバのPMOSトランジスタにおけるPN接合への順方向バイアス印加をより確実に防ぐことが可能となる。

【0083】＜第3の実施例の変形例＞図7は、第3の実施例の変形例に係る一対のビット線キッカードライバ

および一対のプルアップ回路を取り出して回路図を示している。

【0084】図7において、ビット線キッカードライバ部は図4を参照して前述したビット線キッカードライバと同様であり、プルアップ回路部は図5を参照して前述したプルアップ回路と同様であるので、図4中、図5中と同一符号を付してその説明を省略する。図7の回路によれば、図6の回路と基本的に同様の動作により同様の効果が得られる。

【0085】＜ビット線キッカードライバの第4の実施例＞図8は、第4の実施例における一対のビット線キッカードライバおよび一対のプルアップ回路を取り出して回路図を示している。

【0086】図8において、ビット線キッカードライバ部は、図3を参照して前述した一対のビット線キッカードライバと同様であるので、図3中と同一符号を付してその説明を省略する。

【0087】プルアップ回路部は、図5を参照して前述したプルアップ回路と比べて、Viiノードとプルアップ用の一方のPMOSトランジスタP41のソースとの間に、別の2個のPMOSトランジスタP70, P72が直列に接続され、Viiノードとプルアップ用の他方のPMOSトランジスタP42のソースとの間に、別の2個のPMOSトランジスタP71, P73が直列に接続されている点が異なる。

【0088】ここで、一方のビット線キッカードライバに接続されているビット線キッカー駆動線BLkick_cに接続されたプルアップ回路に挿入されている2個のPMOSトランジスタP70, P72の各ゲートには、当該ビット線キッカードライバの2個のNMOSトランジスタN0, N2の各ゲートと同様に第2の制御信号mwdrv_p<0>;, mwdrv_p<2>;が対応して入力する。

【0089】また、他方のビット線キッカードライバに接続されているビット線キッカー駆動線BLkick_tに接続されたプルアップ回路に挿入されている2個のPMOSトランジスタP71, P73の各ゲートには、当該ビット線キッカードライバの2個のNMOSトランジスタN1, N3の各ゲートと同様に第2の制御信号mwdrv_p<1>;, mwdrv_p<3>;が対応して入力する。

【0090】第4の実施例によれば、一方のビット線キッカー駆動線BLkick_cに共通に接続されているビット線キッカードライバ部のNMOSトランジスタN0, N2およびプルアップ回路のPMOSトランジスタP70, P72がそれぞれ同じ制御信号mwdrv_p<0>;, mwdrv_p<2>;によりスイッチ制御されるので、このビット線キッカー駆動線BLkick_cがフローティング状態になることを防ぐことができる。

【0091】同様に、他方のビット線キッカー駆動線BLkick_tに共通に接続されているビット線キッカードライバ部のNMOSトランジスタN1, N3およびプルアップ回路のPMOSトランジスタP71, P73が同じ制御信号mwdrv_p<1>;, mwdrv_p<3>;によりスイッチ制御されるので、このビット

線キッカー駆動線BLkick_tがフローティング状態になることを防ぐことができる。

【0092】＜第4の実施例の変形例＞図9は、第4の実施例の変形例における一対のビット線キッカードライバおよび一対のプルアップ回路を取り出して回路図を示している。

【0093】図9において、ビット線キッカードライバ部は図4を参照して前述したビット線キッカードライバと同様であり、プルアップ回路は図8を参照して前述したプルアップ回路と同様であるので、図4中、図8中と同一符号を付してその説明を省略する。

【0094】図9の回路によれば、図8の回路と基本的に同様の動作により同様の効果が得られる。

【0095】なお、前記各実施例においては、前記ビット線キッカー駆動線の“H”レベル電位が内部電源電位V_{ii}である場合を示したが、ビット線キッカー駆動線の電位振幅が大きいほどビット線キッカー効果が大きい。そこで、ビット線キッカー駆動線の“H”レベル電位/“L”レベル電位として、前記内部電源電位V_{ii}/接地電位V_{ss}に限定することなく、昇圧電位V_{pp}/負電位V_{nn}、または、昇圧電位V_{pp}/接地電位V_{ss}、または、内部電源電位V_{ii}/負電位V_{nn}を採用してもよい。

【0096】＜ビット線キッカーの構成例＞前記ビット線キッカーとして、NMOSトランジスタあるいはPMOSトランジスタで形成されたMOSキャパシタを用いることができる。この場合、MOSトランジスタのゲートをビット線に接続し、ドレイン拡散層および/またはソース拡散層をビット線キッカー駆動線に接続するようにしてもよい。

【0097】また、MOSトランジスタのゲートをビット線キッカー駆動線に接続し、ドレイン拡散層および/またはソース拡散層をビット線に接続するようにしてもよい。あるいは、MOSトランジスタのドレイン拡散層およびソース拡散層の一方をビット線に接続し、他方をフローティング状態（未接続状態）にしてもよい。

【0098】＜第2の実施形態＞第1の実施形態に係るDRAMでは、図2中のSSC16内に配置される一対のビット線キッカードライバは、相補対をなすビット線対のうち、アクセスされたメモリセルが接続されていないリファレンス側のビット線の電位のみを低下させた。

【0099】これに対して、相補対をなすビット線対のうち、アクセスされたメモリセルが接続されている側のビット線の電位のみを持ち上げる第2の実施形態について以下に説明する。

【0100】第2の実施形態においては、一対のビット線キッカー駆動線BLkick_t、BLkick_cと一対のビット線キッカーとの接続関係を、第1の実施形態において図19(a)を参照して前述した構成とは逆にする。即ち、図10(a)に示すように、メモリア部の各SSC16内に配置されている一対のビット線キッカードライバBLKICKDR

Vから一対のビット線キッカー駆動線BLkick_t、BLkick_cがセンスアンプS/A14群の配置領域の各センスアンプS/Aの近傍まで配設されている。そして、各センスアンプS/Aに接続されているビット線対BL_t、BL_cと一対のビット線キッカー駆動線BLkick_t、BLkick_cとの間にそれぞれMOSキャパシタからなるビット線キッカーBLKICKERが接続されている。なお、図10(a)において、図19(a)中と同一部分には同一符号を付してその説明を省略する。

【0101】図10(b)は、図10(a)に示したビット線キッカーの動作波形の一例を示している。

【0102】図10(b)中、V_{sig}はメモリセルMCからビット線BL_tへの読み出し信号量を、dV_{sig}はビット線キッカーBLKICKERの動作によるビット線BL_tの電位変化量を表わす。

【0103】ここで、ビット線キッカーBLKICKERの動作は次のように行われる。まず、ビット線電位がプリチャージ電位にプリチャージ・イコライズされ、このプリチャージ・イコライズ動作が解除された後、ビット線対(BL_t, BL_c)のうち、選択しようとするメモリセルMCが接続されているビット線BL_tに接続されているビット線キッカーBLKICKERが選択される。この場合、ビット線キッカードライバBLKICK DRVの出力（本例では正論理）によってビット線キッカー駆動線BLkick_tが活性化されてビット線BL_tの電位がdV_{sig}だけ上昇する。その後、メモリセルMCに接続されているワード線WL<;0>;、WL<;3>;、～WL<;n>;のいずれかが選択されてメモリセルMCからビット線BL_tに情報が読み出される。

【0104】ここで、ビット線キッカー駆動線BLkick_tとビット線BL_tはビット線キッカーBLKICKERによって容量結合しており、ビット線BL_tの電位変化量dV_{sig}の値は、原理的には、ビット線BL_tの容量とビット線キッカーBLKICKERの容量比と、ビット線キッカー駆動線BLkick_tの電位振幅との積に等しくなる。これにより、“H”データの読み出し信号量は、V_{sig}+dV_{sig}となり、ビット線キッカーBLKICKERを使用しない場合と比較して増加する。

【0105】＜ビット線キッカードライバの第5の実施例＞図11は、ビット線キッカードライバBLKICK DRVの第5の実施例を示す回路図である。

【0106】図11に示すビット線キッカードライバは、図3を参照して前述したビット線キッカードライバと比べて、NMOSトランジスタN0～N3に代えてPMOSトランジスタP0a～P3aが用いられ、制御信号blocksel_nおよびwdrv_n<;0>;、～wdrv_n<;3>;、第1のビット線キッカー駆動線BLkick_cおよび第2のビット線キッカー駆動線BLkick_tの取り出し位置が異なり、その他は同じであるので、図3中と同一符号を付してその説明を省略する。このビット線キッカードライバも、前記各実施形態と同様にメモリア部のSSC16に配置される。

【0107】ここでは、活性化される前記センスアンプ群の位置情報を含む第1の制御信号として、前記サブアレイ選択信号wloff_n に代えて、メモリセルに対するリード/ライト動作が行われるアクティブ期間に“L”レベルになる信号が用いられる。第1の制御信号の具体例としては、図10(a)に示すように、ビット線対の電位をイコライズするためのビット線イコライザ回路EQLおよび/またはビット線対に挿入されているビット線トランスファゲートTGを制御するための制御回路EQLDIVへの入力信号blocksel_nが用いられる。また、アクセスされる前記メモリセルが前記ビット線対のどちらのビット線に接続されているかの情報を含む第2の制御信号として、前記制御信号mwdrv_p<0>; ~mwdrv_p<3>; に代えて、ワードドライブ線制御信号wdrv_n<0>; ~wdrv_n<3>; が用いられる。

【0108】そして、一方のビット線キッカードライバのNMOSトランジスタN4のドレインに第1のビット線キッカー駆動線BLkick_cが接続されており、他方のビット線キッカードライバのNMOSトランジスタN4のドレインに第2のビット線キッカー駆動線BLkick_tが接続されている。

【0109】次に、図11の回路の動作について説明する。

【0110】一方のビット線キッカードライバBLKICK DRVに接続されている第1のビット線キッカー駆動線BLkick_cは、wdrv_n<0>; またはwdrv_n<2>; とblocksel_nが共に“L”になった時にセットされて“H”になり、blocksel_nが“H”になった時にリセットされて“L”になる。

【0111】他方のビット線キッカードライバBLKICK DRVに接続されている第2のビット線キッカー駆動線BLkick_tは、wdrv_n<1>; またはwdrv_n<3>; とblocksel_nが共に“L”になった時にセットされて“H”になり、blocksel_nが“H”になった時にリセットされて“L”になる。

【0112】一方のビット線キッカードライバBLKICK DRVがセットされた時(wdrv_n<0>; またはwdrv_n<2>; が“L”の時)には、wdrv_n<1>; またはwdrv_n<3>; が“H”であるので、他方のビット線キッカードライバBLKICK DRVに接続されている第2のビット線キッカー駆動線BLkick_tはフローティング状態になる。

【0113】他方のビット線キッカードライバBLKICK DRVがセットされた時(wdrv_n<1>; またはwdrv_n<3>; が“L”の時)には、wdrv_n<0>; またはwdrv_n<2>; が“H”であるので、一方のビット線キッカードライバに接続されている第1のビット線キッカー駆動線BLkick_cはフローティング状態になる。

【0114】図11のビット線キッカードライバBLKICK DRVによれば、第1の制御信号blocksel_nおよび第2の制御信号wdrv_n<0>; ~wdrv_n<3>; を用いており、制御入力線を他の回路の制御入力線と共有することができ、ビット線キッカードライバBLKICK DRVを分散配置でき、チップ面積を削減することが可能になる。

チップ面積を削減することが可能になる。

【0115】<第5の実施例の変形例>図12は、図11に示した一对のビット線キッカードライバの変形例を示す回路図である。

【0116】図12に示す一对のビット線キッカードライバは、図11に示したビット線キッカードライバと比べて、PMOSトランジスタP1が共有されている点が異なり、その他は同じであるので図11中と同一符号を付してその説明を省略する。

【0117】この変形例のビット線キッカードライバも、第5の実施形態と同様にメモリコア部のSSC16に配置されるものであり、図11のビット線キッカードライバと基本的に同様の動作により同様の効果が得られる。さらに、PMOSトランジスタP1を共有することにより、チップ面積を削減することが可能になる。

【0118】<ビット線キッカードライバの第6の実施例>前記第5の実施例に示した一对のビット線キッカードライバは、制御信号blocksel_nを共有しているので、一方のビット線キッカードライバBLKICK DRVがセットされた場合には他方のビット線キッカードライバBLKICK DRVに接続されるビット線キッカー駆動線BLkick_cあるいはBLkick_tはフローティング状態になる。

【0119】上記ビット線キッカー駆動線BLkick_cおよびBLkick_tは、全てのカラムでビット線BL_cあるいはBL_tと容量結合されているので、ビット線BL_cあるいはBL_tの電位変動により影響を受けることになる。特に、センスアンプS/Aの活性化時にはビット線の電位変化が大きいので、その影響が大きい。

【0120】例えばビット線BL_tに接続された全てのメモリセルMCから“L”データが読み出された場合、ビット線キッカー駆動線BLkick_tには全てのカラムにおいて電位を降下させるようなノイズが容量結合する。その場合、制御信号blocksel_nが入力されているビット線キッカードライバBLKICK DRVのNMOSトランジスタN4のドレインの電位がウェルの電位よりも低くなり、NMOSトランジスタN4のPNジャンクションには順方向バイアスが印加されてしまう。

【0121】この点を解決するために、ビット線キッカー駆動線BLkick_cおよびBLkick_tにプルダウン回路を接続した第6の実施例を以下に説明する。

【0122】図13は、第6の実施例に係る一对のビット線キッカードライバに接続されている一对のビット線キッカー駆動線BLkick_cおよびBLkick_tに接続される一对のプルダウン回路の一例(クロスカップル型プルダウン回路)を示している。

【0123】図13に示す一对のプルダウン回路は、ビット線キッカー駆動線BLkick_cとVss ノードとの間にドレイン・ソース間が接続され、ゲートにビット線キッカー駆動線BLkick_tが接続されたPMOSトランジスタN41と、ビット線キッカー駆動線BLkick_tとVss ノードとの

間にドレイン・ソース間が接続され、ゲートにビット線キッカー駆動線BLkick_cが接続されたNMOSトランジスタN42 とからなる。つまり、一对のビット線キッカー駆動線BLkick_c, BLkick_tとVss ノードとの間に接続された2個のプルダウン用のNMOSトランジスタN41, N42 の各ゲート・ドレインが交差接続されている。

【0124】この一对のプルダウン回路は、各SSC16 内に配置されている一对のビット線キッカードライバBLKICK DRVとは独立してメモリコア部のメイン交差領域SMC15 内に配置されている。そして、SMC15 内に配置されている一对のプルダウン回路には、サブアレイ配列内で上記SMC15 と同一列の複数のサブアレイ11における一对のビット線キッカー駆動線BLkick_c, BLkick_tがそれぞれ接続されている。

【0125】次に、図13のプルダウン回路の動作を説明する。

【0126】一对のビット線キッカー駆動線BLkick_c, BLkick_tが“L”の時には、一对のプルダウン回路の各NMOSトランジスタN41, N42 はそれぞれ非動作状態にある。一方のビット線キッカードライバにより一方のビット線キッカー駆動線BLkick_cがセットされて“H”になった場合には、このビット線キッカー駆動線BLkick_cにゲートが接続されているNMOSトランジスタN42 が動作状態となり、非動作状態にある他方のビット線キッカードライバに接続されているビット線キッカー駆動線BLkick_tを接地電位Vss に固定する。これにより、このビット線キッカー駆動線BLkick_tに接続されているビット線キッカードライバのNMOSトランジスタN41におけるPN接合の順方向バイアス印加を防ぐことが可能となる。

【0127】また、上記一对のプルダウン回路は、一对のビット線キッカードライバとは独立してメモリコア部の各SMC15 内に配置されているので、各SSC16 内に配置する回路数が少なくなるという利点が見られる。

【0128】<ビット線キッカードライバの第7の実施例>前述したように一对のビット線キッカー駆動線BLkick_c, BLkick_tは各カラムでビット線と容量結合しているので、その容量は大きい。そのために、第6の実施例のように一对のプルダウン回路を一对のビット線キッカードライバとは独立して配置した場合、ビット線キッカー駆動線BLkick_c, BLkick_tのプルダウン回路から遠い部分で結合したノイズをプルダウン回路が吸収するまでにかかる時間が長くなる。

【0129】この点を解決するために、一对のプルダウン回路を一对のビット線キッカードライバと同じSSC16 内に配置（換言すれば、一对のプルダウン回路をビット線キッカードライバ内に配置）した第7の実施例を以下に説明する。

【0130】図14は、第7の実施例に係る一对のビット線キッカードライバおよび一对のプルアップ回路を取り出して示す回路図である。

【0131】図14において、ビット線キッカードライバ部は、図11を参照して前述した一对のビット線キッカードライバと同様であり、プルダウン回路部は、図13を参照して前述したプルダウン回路と同様であるので、図11中、図13中と同一符号を付してその説明を省略する。

【0132】第7の実施例によれば、プルダウン回路を各SSC16 内に配置することにより、ビット線キッカー駆動線BLkick_c, BLkick_tに結合したノイズをプルダウン回路で短時間に吸収するようになる。したがって、ビット線キッカー駆動線BLkick_c, BLkick_tに接続されているビット線キッカードライバのNMOSトランジスタにおけるPN接合への順方向バイアス印加をより確実に防ぐことが可能となる。

【0133】<第7の実施例の変形例>図15は、第7の実施例の変形例に係る一对のビット線キッカードライバおよび一对のプルダウン回路を取り出して回路図を示している。

【0134】図15において、ビット線キッカードライバ部は図12を参照して前述したビット線キッカードライバと同様であり、プルダウン回路部は図13を参照して前述したプルダウン回路と同様であるので、図12中、図13中と同一符号を付してその説明を省略する。図15の回路によれば、図14の回路と基本的に同様の動作により同様の効果が得られる。

【0135】<ビット線キッカードライバの第8の実施例>図16は、第8の実施例における一对のビット線キッカードライバおよび一对のプルダウン回路を取り出して回路図を示している。

【0136】図16において、ビット線キッカードライバ部は、図11を参照して前述した一对のビット線キッカードライバと同様であるので、図11中と同一符号を付してその説明を省略する。

【0137】プルダウン回路部は、図13を参照して前述したプルダウン回路と比べて、プルダウン用の一方のNMOSトランジスタN41 のソースとVss ノードとの間に、別の2個のNMOSトランジスタN70, N72 が直列に接続され、プルダウン用の他方のNMOSトランジスタN42 のソースとVss ノードとの間に、別の2個のNMOSトランジスタN71, N73 が直列に接続されている点が異なる。

【0138】ここで、一方のビット線キッカードライバに接続されているビット線キッカー駆動線BLkick_cに接続されたプルダウン回路に挿入されている2個のNMOSトランジスタN70, N72 の各ゲートには、当該ビット線キッカードライバの2個のPMOSトランジスタP0a, P2a の各ゲートと同様に第2の制御信号wdrv_n<;0>;, wdrv_n<;2>; が対応して入力する。

【0139】また、他方のビット線キッカードライバに接続されているビット線キッカー駆動線BLkick_tに接続されたプルダウン回路に挿入されている2個のNMOSトラン

ンジスタN71,N73 の各ゲートには、当該ビット線キッカードライバの2個のPMOSトランジスタP1a,P3a の各ゲートと同様に第2の制御信号wdrv_n<1>;,wdrv_n<3>; が対応して入力する。

【0140】第8の実施例によれば、一方のビット線キッカー駆動線BLkick_cに共通に接続されているビット線キッカードライバ部のPMOSトランジスタP0a,P2a およびプルダウン回路のNMOSトランジスタN70,N72 がそれぞれ同じ制御信号wdrv_n<0>;,wdrv_n<2>; によりスイッチ制御されるので、このビット線キッカー駆動線BLkick_cがフローティング状態になることを防ぐことができる。

【0141】同様に、他方のビット線キッカー駆動線BLkick_tに共通に接続されているビット線キッカードライバ部のPMOSトランジスタP1a,P3a およびプルダウン回路のNMOSトランジスタN71,N73 が同じ制御信号wdrv_n<1>;,wdrv_n<3>; によりスイッチ制御されるので、このビット線キッカー駆動線BLkick_tがフローティング状態になることを防ぐことができる。

【0142】＜第8の実施例の変形例＞図17は、第8の実施例の変形例における一対のビット線キッカードライバおよび一対のプルダウン回路を取り出して回路図を示している。

【0143】図17において、ビット線キッカードライバ部は図12を参照して前述したビット線キッカードライバと同様であり、プルダウン回路は図16を参照して前述したプルダウン回路と同様であるので、図12中、図16中と同一符号を付してその説明を省略する。

【0144】図17の回路によれば、図16の回路と基本的に同様の動作により同様の効果が得られる。

【0145】＜第3の実施形態＞前記各実施形態のDRAMでは、図1(a)を参照して前述したような階層ワードドライブ線構成におけるメモリア部の各SSC16 内に一対のビット線キッカードライバ（第1のビット線キッカードライバと第2のビット線キッカードライバ）が配置されているが、ビット線キッカードライバの分散配置および駆動方式を変更した第3の実施形態について以下に説明する。

【0146】図18は、第3の実施形態のDRAMにおいてビット線キッカードライバがメモリア部に分散配置されているパターンレイアウトの一例を示す図である。

【0147】図18に示す構成は、図2の構成と比べて、複数のSSC を第1の制御信号wloff_n の入力線に沿って交互に第1のSSC161と第2のSSC162と命名し、第1のSSC161には第1のビット線キッカードライバBLKICK DRV1 を配置し、第2のSSC162には第2のビット線キッカードライバBLKICK DRV2 を配置し、第1の制御信号wloff_n の一回の活性化に対して第1のビット線キッカードライバBLKICK DRV1 群または第2のビット線キッカードライバBLKICK DRV2 群のどちらか一方のみを選択するように変更したものであり、その他は同じであるので図2

中と同一符号を付している。

【0148】このように変更しても、基本的に第1の実施形態とほぼ同様の効果が得られるほか、SSC161,162におけるビット線キッカードライバの配置数が1個に減っているため、SSC161,162におけるパターンレイアウトが容易になる。

【0149】なお、前記各実施例においては、前記ビット線キッカー駆動線の“H”レベル電位が内部電源電位Vii である場合を示したが、ビット線キッカー駆動線の電位振幅が大きいほどビット線キッカー効果が大きい。そこで、ビット線キッカー駆動線の“H”レベル電位/“L”レベル電位として、前記内部電源電位Vii /接地電位Vss に限定することなく、昇圧電位Vpp /負電位Vnn 、または、昇圧電位Vpp /接地電位Vss 、または、内部電源電位Vii /負電位Vnn を採用してもよい。

【0150】

【発明の効果】上述したように本発明の半導体記憶装置によれば、他の回路で使用している既存の制御信号線を利用することが可能なビット線キッカー制御回路を用いることにより、メモリア部への制御線の追加を行うことなく、ビット線キッカードライバをメモリア部に分散配置することを可能とし、ビット線キッカー駆動線を高速に動作させることが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る階層ワードドライブ線構成を採用したDRAMの一例の一部を示すブロック図、その一部を取り出してワードドライブ線駆動回路とサブロデコーダ群との接続関係を示すブロック図およびサブロデコーダの回路を示す回路図。

【図2】図1のDRAMにおいてメモリア部のサブ交差領域にビット線キッカードライバが分散配置されているパターンレイアウトの一例を示す図。

【図3】図2のメモリア部に分散配置されている一対のビット線キッカードライバを取り出して一実施例を示す回路図。

【図4】図3の一対のビット線キッカードライバの変形例を示す回路図。

【図5】第1の実施形態に係るDRAMにおいてサブ交差領域に配置されている一対のビット線キッカードライバに接続されている一対のビット線キッカー駆動線に接続される一対のプルアップ回路がメモリア部のメイン交差領域に配置された場合の一例を示す回路図。

【図6】図2のメモリア部に分散配置されている一対のビット線キッカードライバに一対のプルアップ回路を内蔵させた場合の一例を示す回路図。

【図7】図6の一対のビット線キッカードライバの変形例を示す回路図。

【図8】図2のメモリア部に分散配置されている一対のビット線キッカードライバに一対のプルアップ回路を内蔵させた場合の他の例を示す回路図。

【図9】図8の一对のビット線キッカードライバの変形例を示す回路図。

【図10】本発明の第2の実施形態に係るDRAMにおいてビット線キッカーを含むメモリア部の1カラム分を取り出して模式的に示す構成図およびビット線キッカーの動作例を示す波形図。

【図11】第2の実施形態のDRAMにおいてメモリア部のサブ交差領域に分散配置されている一对のビット線キッカードライバを取り出して一実施例を示す回路図。

【図12】図11の一对のビット線キッカードライバの変形例を示す回路図。

【図13】第2の実施形態に係るDRAMにおいてサブ交差領域に配置されている一对のビット線キッカードライバに接続されている一对のビット線キッカー駆動線に接続される一对のプルダウン回路がメモリア部のメイン交差領域に配置された場合の一例を示す回路図。

【図14】図11のメモリア部に分散配置されている一对のビット線キッカードライバに一对のプルダウン回路を内蔵させた場合の一例を示す回路図。

【図15】図14の一对のビット線キッカードライバの変形例を示す回路図。

【図16】図11のメモリア部に分散配置されている

一对のビット線キッカードライバに一对のプルダウン回路を内蔵させた場合の他の例を示す回路図。

【図17】図16の一对のビット線キッカードライバの変形例を示す回路図。

【図18】本発明の第3の実施形態に係るDRAMにおいてメモリア部のサブ交差領域にビット線キッカードライバが分散配置されているパターンレイアウトの一例を示す図。

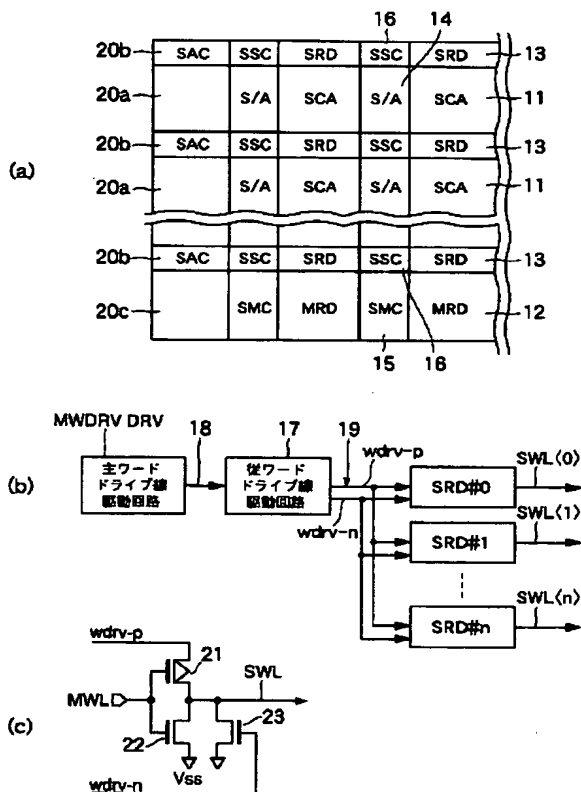
【図19】ビット線キッカーを含むメモリア部の1カラム分を取り出して模式的に示す構成図およびビット線キッカーの動作例を示す波形図。

【図20】図19中に示したビット線キッカードライバBLKICK DRVと制御入力との接続の従来例を示す回路図。

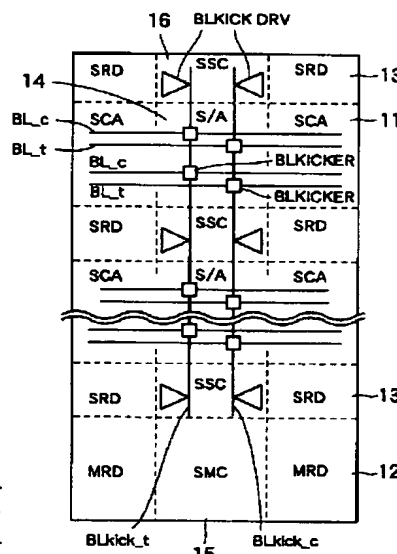
【符号の説明】

BLKICK DRV…ビット線キッカードライバ、
P1…PMOSトランジスタ、
N0, N1, N2, N3, N4…NMOSトランジスタ、
BLkick_c…第1のビット線キッカー駆動線、
BLkick_t…第2のビット線キッカー駆動線、
BL_t, BL_c…ビット線対、
wloff_n …第1の制御信号、
mwdrv_p<;0>;~mwdrv_p<;3>;…第2の制御信号。

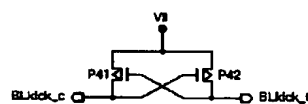
【図1】



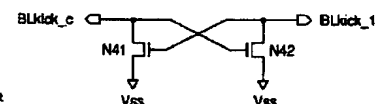
【図2】



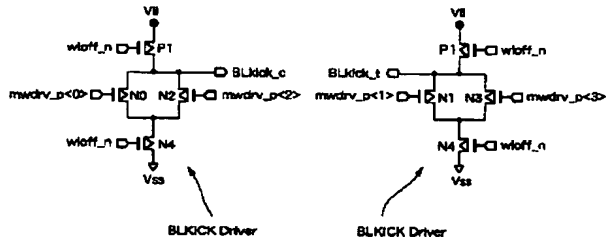
【図5】



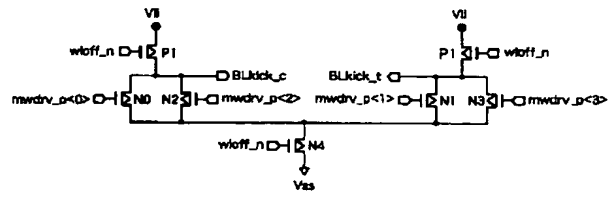
【図13】



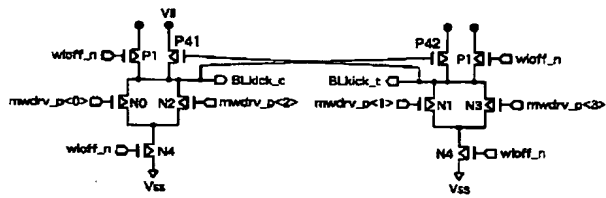
【図3】



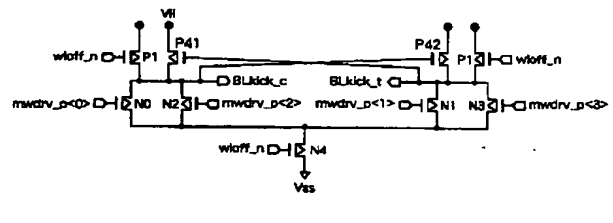
【図4】



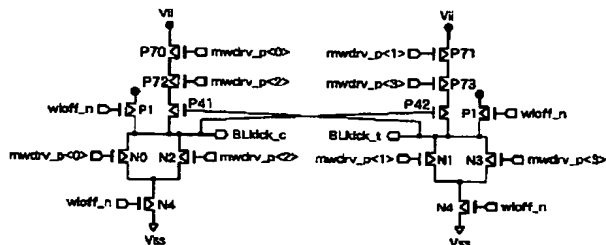
【図6】



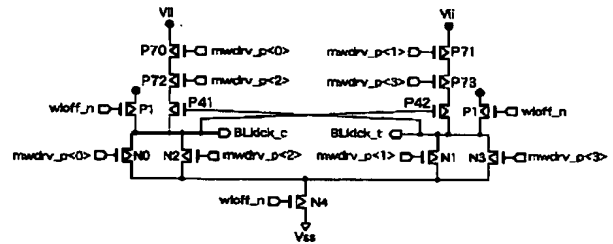
【図7】



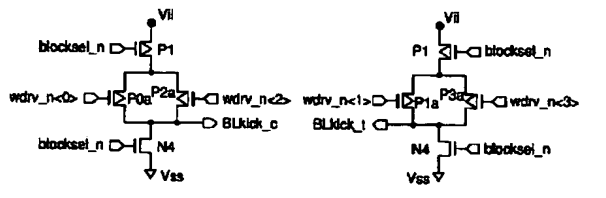
【図8】



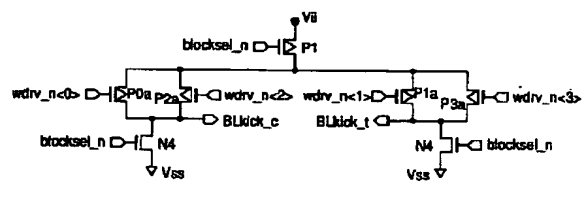
【図9】



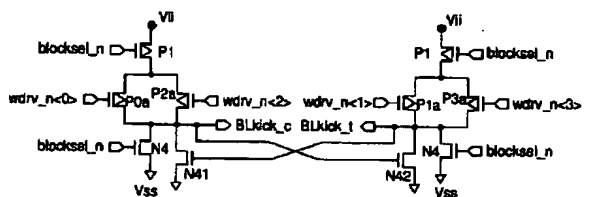
【図11】



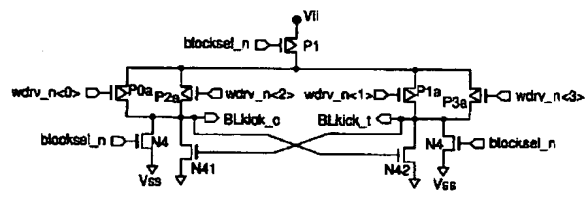
【図12】



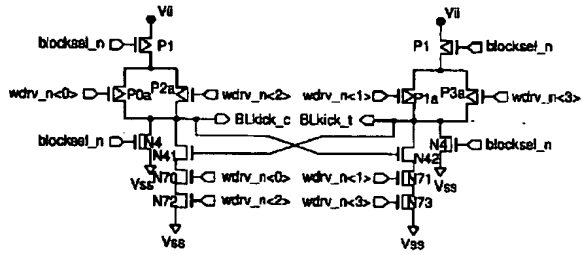
【図14】



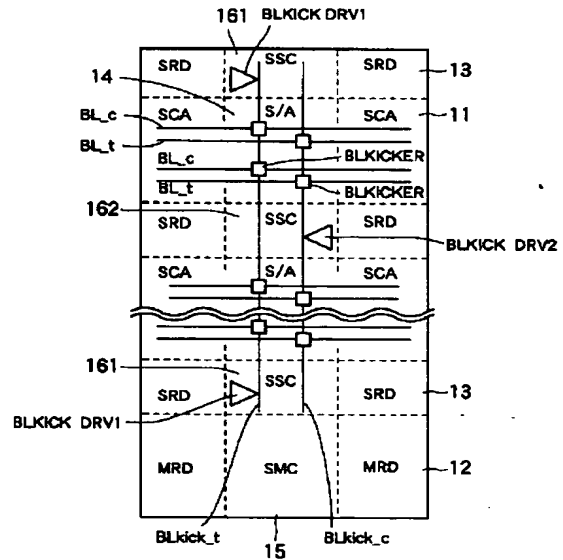
【図15】



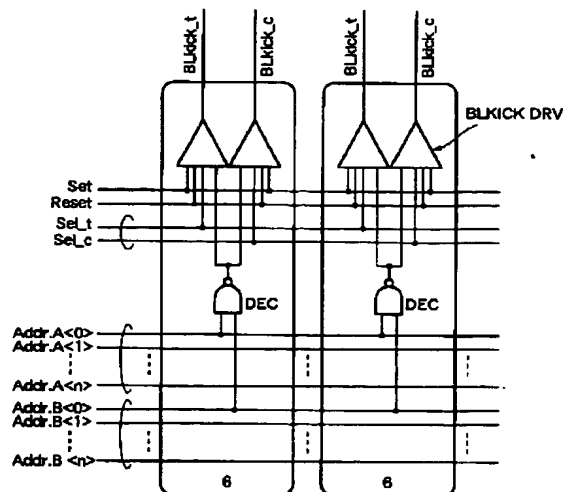
【図 16】



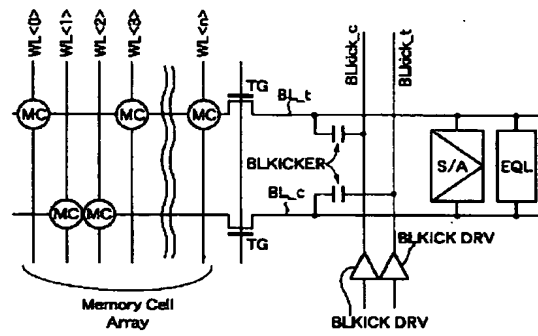
(a)



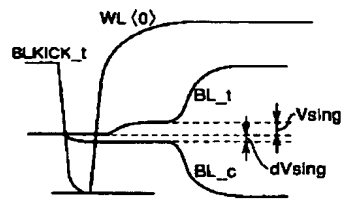
【図20】



【図 19】



(a)



(b)